

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 0 月 2 4 日  
Date of Application:

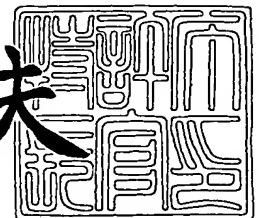
出 願 番 号                      特 願 2 0 0 2 - 3 0 9 5 0 4  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 2 - 3 0 9 5 0 4 ]

出      願      人                      富 士 通 株 式 会 社  
Applicant(s):

2 0 0 3 年    9 月    1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0241105

【提出日】 平成14年10月24日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 27/02  
H03G 3/00

【発明の名称】 増幅器

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 重松 寿生

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100104190

【弁理士】

【氏名又は名称】 酒井 昭徳

【手数料の表示】

【予納台帳番号】 041759

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9906241

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 増幅器

【特許請求の範囲】

【請求項 1】 分布増幅器よりなる複数の増幅段が縦続接続された増幅器において、

前段の増幅段と後段の増幅段とを第 1 の容量を介して結合し、かつ後段の増幅段の入力側終端回路に第 2 の容量を接続したことを特徴とする増幅器。

【請求項 2】 分布増幅器よりなる複数の増幅段が縦続接続された増幅器において、

前段の増幅段と後段の増幅段とを第 1 の容量を介して結合し、かつ後段の増幅段の出力側終端回路に第 2 の容量を接続したことを特徴とする増幅器。

【請求項 3】 分布増幅器よりなる複数の増幅段が縦続接続された増幅器において、

前段の増幅段と後段の増幅段とを第 1 の容量を介して結合し、かつ前段の増幅段の出力側終端回路に第 2 の容量を接続したことを特徴とする増幅器。

【請求項 4】 分布増幅器よりなる複数の増幅段が縦続接続された増幅器において、

前段の増幅段と後段の増幅段とを第 1 の容量を介して結合し、かつ前段の増幅段の入力側終端回路に第 2 の容量を接続したことを特徴とする増幅器。

【請求項 5】 集中定数増幅器よりなる複数の増幅段が縦続接続された増幅器において、

前段の増幅段と後段の増幅段とを第 1 の容量を介して結合し、かつ後段の増幅段の入力側終端回路に第 2 の容量を接続したことを特徴とする増幅器。

【請求項 6】 集中定数増幅器よりなる複数の増幅段が縦続接続された増幅器において、

前段の増幅段と後段の増幅段とを第 1 の容量を介して結合し、かつ後段の増幅段の出力側終端回路に第 2 の容量を接続したことを特徴とする増幅器。

【請求項 7】 集中定数増幅器よりなる複数の増幅段が縦続接続された増幅器において、

前段の増幅段と後段の増幅段とを第 1 の容量を介して結合し、かつ前段の増幅段の出力側終端回路に第 2 の容量を接続したことを特徴とする増幅器。

【請求項 8】 集中定数増幅器よりなる複数の増幅段が縦続接続された増幅器において、

前段の増幅段と後段の増幅段とを第 1 の容量を介して結合し、かつ前段の増幅段の入力側終端回路に第 2 の容量を接続したことを特徴とする増幅器。

【請求項 9】 前記第 1 の容量に抵抗を並列に接続したことを特徴とする請求項 1 ～ 8 のいずれか一つに記載の増幅器。

【請求項 10】 前記各増幅段、前記第 1 の容量、前記抵抗および前記第 2 の容量は、同一半導体基板上に作製されていることを特徴とする請求項 9 に記載の増幅器。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、増幅器に関し、特に 40 GHz 以上の帯域を有する高利得の増幅器に関する。

##### 【0002】

近時、インターネットの急速な普及に伴い、高速で大容量のデータを送受信することが可能な 40 Gb/s 通信システムの需要が高まっている。この通信システムの、送信部フロントエンドの変調器を駆動するドライバ回路や、受信部フロントエンドのプリアンプや等価増幅部などでは、40 GHz 以上の帯域を有する高利得の増幅器が必要である。

##### 【0003】

##### 【従来の技術】

分布増幅器は、トランジスタの入力容量と配線の L から構成されるラダーフィルタで帯域が決まるため、広帯域化に適した回路構成として古くから用いられている。中でも、カスコード型の分布増幅器は、ゲート接地（またはベース接地）トランジスタに接続された回路により高周波域で負性抵抗を生成し、広帯域化が可能となる。よって現在ではこの型の回路が主流となりつつある。

## 【0004】

図10は、従来のカスコード型分布増幅器の構成を示す回路図である。図10に示すように、この分布増幅器は、ソース接地トランジスタQ1とゲート接地トランジスタQ2からなるカスコード増幅回路を、入力線路11と出力線路12との間に、複数並列に接続した構成となっている。ソース接地トランジスタQ1に関し、そのゲート端子は入力線路11に接続され、そのソース端子は接地され、そのドレイン端子はゲート接地トランジスタQ2のソース端子に接続されている。また、ゲート接地トランジスタQ2に関し、そのゲート端子は抵抗13および入力容量14を介して接続され、そのドレイン端子は出力線路12に接続されている。

## 【0005】

また、入力線路11に関し、その一端は入力端子15に接続され、その他端は終端抵抗16を介して接地されている。出力線路12に関しては、その一端は出力端子17に接続され、その他端は終端抵抗18を介して接地されている。なお、図10において、符号19を付した矩形ブロックは、伝送線路のインダクタンス成分を表しており、▽の記号はグラウンド（接地）を意味している（他の図においても同様である）。

## 【0006】

ソース接地トランジスタQ1は、入力端子15に与えられた信号を増幅する。増幅動作の帯域は、直列に接続されたソース接地トランジスタQ1とゲート接地トランジスタQ2の配線インダクタンス成分（図示せず）と、入力容量14とで形成されるフィルタの特性に依存する。また、増幅利得はソース接地トランジスタQ1の利得に依存する。このような増幅動作において、ゲート接地トランジスタQ2は高い周波数帯域で負性抵抗を生成する。この負性抵抗は利得を増大させる（いわゆる利得の跳ね上げ）ので、高い周波数帯域での利得の低下を防止できる。

## 【0007】

本発明者は、下記の特許文献1の中で、40GHz以上の帯域を有するカスコード型分布増幅器について報告している。

## 【0008】

## 【非特許文献1】

"45-GHz distributed amplifier with a linear 6-Vp-p output for a 40Gb/s LiNbO<sub>3</sub> modulator driver circuit" (2001 IEEE GaAs Digest, pp137, 2001)

## 【0009】

## 【発明が解決しようとする課題】

しかしながら、一般に、カスコード型分布増幅器には、利得が低いという欠点がある。そこで、カスコード型分布増幅器よりなる複数の増幅段を縦続接続することにより、利得を上げることが考えれる。この場合、前段の増幅段と後段の増幅段とをDC結合すると、各段のバイアスレベルが異なるため、一意に設定することが困難になるという問題点がある。この問題は、前段の増幅段と後段の増幅段とをDCカット容量を介して結合することにより、解消される。

## 【0010】

しかし、段間を容量結合する場合、非常に大きな容量が必要となる。このため、この容量のインダクタンス成分の影響により、高周波域で利得が低下するという問題点がある。また、分布増幅器と容量を同一の半導体基板上に形成することができないので、分布増幅器を形成した半導体チップにワイヤ等を介して容量を外付けする必要があり、これが高周波域での利得の低下を招く原因となっているという問題点もある。

## 【0011】

本発明は、上記問題点に鑑みてなされたものであって、複数の増幅段をDCカット容量を介して縦続接続することにより高利得化を図り、かつ高周波域での利得の低下を抑制することにより、広い帯域にわたって高利得で平坦な周波数特性を有する増幅器を提供することを目的とする。

## 【0012】

## 【課題を解決するための手段】

上記目的を達成するため、本発明は、図1に示すように、前段の増幅段2と後段の増幅段3とを、DCカット容量となる数pF程度の第1の容量4を介して、

縦続接続するとともに、後段の増幅段 3 の入力線路 11 の終端回路である終端抵抗 16 に、第 2 の容量 5 を直列に接続した構成を、同一半導体基板上に作製したことを特徴とする。この発明において、第 2 の容量 5 を、後段の増幅段 3 の出力線路 12 の終端抵抗 18 に直列に接続した構成としてもよいし、前段の増幅段 2 の出力線路 12 の終端抵抗 18 に直列に接続した構成としてもよいし、前段の増幅段 2 の入力線路 11 の終端抵抗 16 に直列に接続した構成としてもよい。また、この発明において、前段の増幅段 2 および後段の増幅段 3 を、分布増幅器、特にカスコード型分布増幅器により構成してもよいし、集中定数増幅器により構成してもよい。なお、図 1 において、図 10 に示す構成要素と同一のものには、同一の符号を付す（他の図も同様である）。

### 【0013】

この発明によれば、段間の結合に供せられた第 1 の容量 4 が、前段の増幅段 2 および後段の増幅段 3 とともに同一半導体基板上に作製されるので、前段の増幅段および後段の増幅段が作製された半導体チップに DC カット容量を外付けする必要がない。また、第 1 の容量 4 は、前段の増幅段 2 および後段の増幅段 3 とともに同一半導体基板上に作製され得る程度の大きさであるので、高周波域での利得の低下が抑制される。また、第 1 の容量 4 が十分に大きくないので、容量結合しただけでは低周波域で利得が低下することになるが、終端抵抗に第 2 の容量 5 が直列に接続されていることにより、低周波域での終端抵抗値が増加し、低周波域での利得が上昇する特性となる。

### 【0014】

#### 【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。

### 【0015】

#### （実施の形態 1）

図 2 は、本発明の実施の形態 1 にかかる増幅器の構成を示す回路図である。図 2 に示すように、この増幅器は、前段の増幅段 2 と後段の増幅段 3 とを、DC カット容量となる第 1 の容量 4 を用いて縦続接続、すなわち前段の増幅段 2 の出力線路 12 に後段の増幅段 3 の入力線路 11 を第 1 の容量 4 を介して結合すると

もに、後段の増幅段 3 の入力線路 11 の終端抵抗 16 と接地点との間に第 2 の容量 5 を接続した構成となっている。また、第 1 の容量 4 には、抵抗 6 が並列に接続されている。

#### 【0016】

前段の増幅段 2 および後段の増幅段 3 はともに、図 10 に示す従来と同様な構成のカスコード型の単相分布増幅器で構成されている。なお、図 2 では、簡略化のため、ゲート接地トランジスタ Q2 のゲート端子に接続された抵抗 13 および入力容量 14 は省略されている（図 5～図 7 においても同様である）。第 1 の容量 4、第 2 の容量 5 および抵抗 6 は、前段の増幅段 2 および後段の増幅段 3 をそれぞれ構成するカスコード型分布増幅器とともに、同一半導体基板上に作製される。すなわち、本実施の形態 1 の増幅器は、単一の半導体チップで実現される。

#### 【0017】

つぎに、実施例として、GaAs 半導体を用いて作製した図 2 に示す構成の増幅器の利得の周波数特性を、図 3 および図 4 に示す。図 3 は、第 1 の容量 4、第 2 の容量 5 および抵抗 6 を適当に調整した後の周波数特性であり、図 4 は、それらの調整前の周波数特性である。図 3 より、0～50GHz の全帯域にわたって、おおよそ 20dB の利得が得られることが分かる。これより、利得が 20dB で、帯域が 50GHz の多段増幅器を、GaAs HEMT（高電子移動度トランジスタ）により構成することができることが分かる。

#### 【0018】

図 4 に示すように、第 1 の容量 4、第 2 の容量 5 および抵抗 6 を調整する前では、利得の平坦性は低い。図 3 に示すような利得平坦性の高い周波数特性を得るにあたっては、図 4 において「領域 A」として示すおおよそ  $10^4 \sim 6 \times 10^6 \text{ Hz}$  の周波数域については、第 1 の容量 4 に並列に接続された抵抗 6 を調整すればよい。また、「領域 B」のおおよそ  $10^7 \sim 4 \times 10^9 \text{ Hz}$  の周波数域については、第 1 の容量 4 を調整すればよい。また、「領域 C」のおおよそ  $2 \times 10^9 \sim 2 \times 10^{10} \text{ Hz}$  の周波数域については、第 2 の容量 5 を調整すればよい。なお、第 2 の容量 5 に抵抗を並列に接続することにより、よりきめ細かな調整が可能となる。



## 【0019】

比較のため、従来例として、上述した非特許文献1の中で報告された分布増幅器の利得の周波数特性を図3に併せて示す。従来例では、0～50GHzの全帯域において、おおよそ15dBの利得しか得られない。

## 【0020】

## (実施の形態2)

図5は、本発明の実施の形態2にかかる増幅器の構成を示す回路図である。図5に示すように、実施の形態2の増幅器は、図2に示す実施の形態1において、第2の容量5を、後段の増幅段3の出力線路12の終端抵抗18と接地点との間に接続した構成となっている。その他については、実施の形態1と同じである。実施の形態1と同様に、第1の容量4、第2の容量5および抵抗6を適当に調整することにより、0～50GHzの全帯域にわたって、おおよそ20dBの利得が得られる。

## 【0021】

## (実施の形態3)

図6は、本発明の実施の形態3にかかる増幅器の構成を示す回路図である。図6に示すように、実施の形態3の増幅器は、図2に示す実施の形態1において、第2の容量5を、前段の増幅段2の出力線路12の終端抵抗18と接地点との間に接続した構成となっている。その他については、実施の形態1と同じである。実施の形態1と同様に、第1の容量4、第2の容量5および抵抗6を適当に調整することにより、0～50GHzの全帯域にわたって、おおよそ20dBの利得が得られる。

## 【0022】

## (実施の形態4)

図7は、本発明の実施の形態4にかかる増幅器の構成を示す回路図である。図7に示すように、実施の形態4の増幅器は、図2に示す実施の形態1において、第2の容量5を、前段の増幅段2の入力線路11の終端抵抗16と接地点との間に接続した構成となっている。その他については、実施の形態1と同じである。実施の形態1と同様に、第1の容量4、第2の容量5および抵抗6を適当に調整

することにより、0～50GHzの全帯域にわたって、おおよそ20dBの利得が得られる。

#### 【0023】

(実施の形態5)

図8は、本発明の実施の形態5にかかる増幅器の構成を示す回路図である。図8に示すように、実施の形態5の増幅器は、図7に示す実施の形態4において、前段の増幅段2および後段の増幅段3を、カスコード型分布増幅器ではなく、入力線路11と出力線路12との間に、複数のソース接地トランジスタQ3を並列に接続した構成の一般的な分布増幅器で構成したものである。ソース接地トランジスタQ3のゲート端子は入力線路11に接続され、ソース端子は接地され、ドレイン端子は出力線路12に接続されている。

#### 【0024】

その他については、実施の形態4と同じである。なお、実施の形態1～3のように、第2の容量5を、後段の増幅段3の入力線路11の終端抵抗16と接地点との間、後段の増幅段3の出力線路12の終端抵抗18と接地点との間、または前段の増幅段2の出力線路12の終端抵抗18と接地点との間に接続した構成としてもよい。

#### 【0025】

(実施の形態6)

図9は、本発明の実施の形態6にかかる増幅器の構成を示す回路図である。図9に示すように、実施の形態6の増幅器は、図2に示す実施の形態1において、前段の増幅段2および後段の増幅段3を、カスコード型分布増幅器ではなく、入力線路11と出力線路12との間に、ソース接地トランジスタQ3を接続した構成の一般的な集中定数増幅器で構成したものである。ソース接地トランジスタQ3のゲート端子は入力線路11に接続され、ソース端子は接地され、ドレイン端子は出力線路12に接続されている。

#### 【0026】

その他については、実施の形態1と同じである。なお、実施の形態2～4のように、第2の容量5を、後段の増幅段3の出力線路12の終端抵抗18と接地点

との間、前段の増幅段 2 の出力線路 12 の終端抵抗 18 と接地点との間、または前段の増幅段 2 の入力線路 11 の終端抵抗 16 と接地点との間に接続した構成としてもよい。

#### 【0027】

上述した各実施の形態によれば、第 1 の容量 4 が、前段の増幅段 2、後段の増幅段 3、第 2 の容量 5 および抵抗 6 とともに同一半導体チップ上に作製されるので、DC カット容量の外付けが不要となり、また第 1 の容量 4 が小さくなることにより、高周波域での利得の低下を抑制することができる。また、終端抵抗 16、18 に第 2 の容量 5 が直列に接続されていることにより、低周波域での終端抵抗値が増加し、低周波域での利得が上昇するので、容量結合による低周波域での利得低下を補償することができる。したがって、広い帯域にわたって高利得で平坦な周波数特性を有する増幅器、特に実施の形態 1～5 によれば分布増幅器を、1 チップで実現することができる。これらの増幅器を用いることによって、光通信において入力される、様々な周波数成分を含む 40 Gb/s の信号を正確に増幅することが可能となる。また、前段の増幅段 2 と後段の増幅段 3 とを容量結合することにより、増幅器を多段構成にした場合のしきい値のばらつきを吸収することができる。また、第 1 の容量 4、第 2 の容量 5 および抵抗 6 を適当に調整することにより、いわゆる利得の跳ね上げ量を調整することができる。

#### 【0028】

以上において本発明は、上述した実施の形態 1～6 に限らず、種々変更可能である。たとえば、前段の増幅段 2 および後段の増幅段 3 を構成するトランジスタとして、電界効果トランジスタの代わりに、バイポーラトランジスタを用いても同様の効果が得られる。また、GaAs 半導体に限らず、InP や Si や GaN 等の半導体材料を用いても同様の効果が得られる。また、縦続接続される増幅段の数を 3 段以上にしてもよく、その場合には、いずれかの増幅段の入力線路または出力線路の終端抵抗に第 2 の容量を直列に接続すればよい。また、抵抗 6 を第 1 の容量 4 に並列に接続しなくてもよい場合もある。

#### 【0029】

(付記 1) 分布増幅器よりなる複数の増幅段が縦続接続された増幅器において、

前段の増幅段と後段の増幅段とを第 1 の容量を介して結合し、かつ後段の増幅段の入力側終端回路に第 2 の容量を接続したことを特徴とする増幅器。

【0 0 3 0】

(付記 2) 分布増幅器よりなる複数の増幅段が縦続接続された増幅器において、前段の増幅段と後段の増幅段とを第 1 の容量を介して結合し、かつ後段の増幅段の出力側終端回路に第 2 の容量を接続したことを特徴とする増幅器。

【0 0 3 1】

(付記 3) 分布増幅器よりなる複数の増幅段が縦続接続された増幅器において、前段の増幅段と後段の増幅段とを第 1 の容量を介して結合し、かつ前段の増幅段の出力側終端回路に第 2 の容量を接続したことを特徴とする増幅器。

【0 0 3 2】

(付記 4) 分布増幅器よりなる複数の増幅段が縦続接続された増幅器において、前段の増幅段と後段の増幅段とを第 1 の容量を介して結合し、かつ前段の増幅段の入力側終端回路に第 2 の容量を接続したことを特徴とする増幅器。

【0 0 3 3】

(付記 5) 集中定数増幅器よりなる複数の増幅段が縦続接続された増幅器において、

前段の増幅段と後段の増幅段とを第 1 の容量を介して結合し、かつ後段の増幅段の入力側終端回路に第 2 の容量を接続したことを特徴とする増幅器。

【0 0 3 4】

(付記 6) 集中定数増幅器よりなる複数の増幅段が縦続接続された増幅器において、

前段の増幅段と後段の増幅段とを第 1 の容量を介して結合し、かつ後段の増幅段の出力側終端回路に第 2 の容量を接続したことを特徴とする増幅器。

【0 0 3 5】

(付記 7) 集中定数増幅器よりなる複数の増幅段が縦続接続された増幅器において、

前段の増幅段と後段の増幅段とを第 1 の容量を介して結合し、かつ前段の増幅段の出力側終端回路に第 2 の容量を接続したことを特徴とする増幅器。

**【0036】**

(付記 8) 集中定数増幅器よりなる複数の増幅段が縦続接続された増幅器において、

前段の増幅段と後段の増幅段とを第 1 の容量を介して結合し、かつ前段の増幅段の入力側終端回路に第 2 の容量を接続したことを特徴とする増幅器。

**【0037】**

(付記 9) 前記第 1 の容量に抵抗を並列に接続したことを特徴とする付記 1 ～ 8 のいずれか一つに記載の増幅器。

**【0038】**

(付記 10) 前記各増幅段、前記第 1 の容量、前記抵抗および前記第 2 の容量は、同一半導体基板上に作製されていることを特徴とする付記 9 に記載の増幅器。

**【0039】**

(付記 11) 前記各増幅段を構成する分布増幅器は、入力線路と出力線路との間に複数のカスコード増幅回路が並列に接続されたカスコード型分布増幅器で構成されていることを特徴とする付記 1 ～ 4 のいずれか一つに記載の増幅器。

**【0040】**

(付記 12) 前記第 1 の容量に抵抗を並列に接続したことを特徴とする付記 11 に記載の増幅器。

**【0041】**

(付記 13) 前記各増幅段、前記第 1 の容量、前記抵抗および前記第 2 の容量は、同一半導体基板上に作製されていることを特徴とする付記 12 に記載の増幅器。

**【0042】**

(付記 14) 前記各増幅段、前記第 1 の容量および前記第 2 の容量は、同一半導体基板上に作製されていることを特徴とする付記 1 ～ 8 のいずれか一つに記載の増幅器。

**【0043】**

(付記 15) 前記増幅段を 2 段有することを特徴とする付記 1 ～ 14 のいずれか一つに記載の増幅器。

**【0044】**

(付記 16) 前記各増幅段は、電界効果トランジスタにより構成されていることを特徴とする付記 1～15 のいずれか一つに記載の増幅器。

**【0045】**

(付記 17) 前記各増幅段は、バイポーラトランジスタにより構成されていることを特徴とする付記 1～15 のいずれか一つに記載の増幅器。

**【0046】****【発明の効果】**

本発明によれば、前段の増幅段および後段の増幅段が作製された半導体チップに、DC カット容量となる第 1 の容量を内蔵させることにより、前段の増幅段および後段の増幅段が作製された半導体チップに DC カット容量を外付けする必要がないので、高周波域での利得の低下を抑制することができる。また、第 1 の容量が、前段の増幅段および後段の増幅段とともに同一半導体基板上に作製され得る程度の大きさであるので、高周波域での利得の低下を抑制することができる。また、終端抵抗に第 2 の容量が直列に接続されていることにより、低周波域での終端抵抗値が増加することになるので、低周波域での利得が上昇する特性となり、容量結合による低周波域での利得低下を補償することができる。したがって、広い帯域にわたって高利得で平坦な周波数特性を有する増幅器を、1 チップで実現することができる。

**【図面の簡単な説明】****【図 1】**

本発明にかかる増幅器の構成を示す回路図である。

**【図 2】**

本発明の実施の形態 1 にかかる増幅器の構成を示す回路図である。

**【図 3】**

本発明の実施の形態 1 にかかる増幅器の最適化後の利得の周波数特性を示す図である。

**【図 4】**

本発明の実施の形態 1 にかかる増幅器の最適化前の利得の周波数特性を示す図

である。

【図 5】

本発明の実施の形態 2 にかかる増幅器の構成を示す回路図である。

【図 6】

本発明の実施の形態 3 にかかる増幅器の構成を示す回路図である。

【図 7】

本発明の実施の形態 4 にかかる増幅器の構成を示す回路図である。

【図 8】

本発明の実施の形態 5 にかかる増幅器の構成を示す回路図である。

【図 9】

本発明の実施の形態 6 にかかる増幅器の構成を示す回路図である。

【図 10】

従来の分布増幅器の構成を示す回路図である。

【符号の説明】

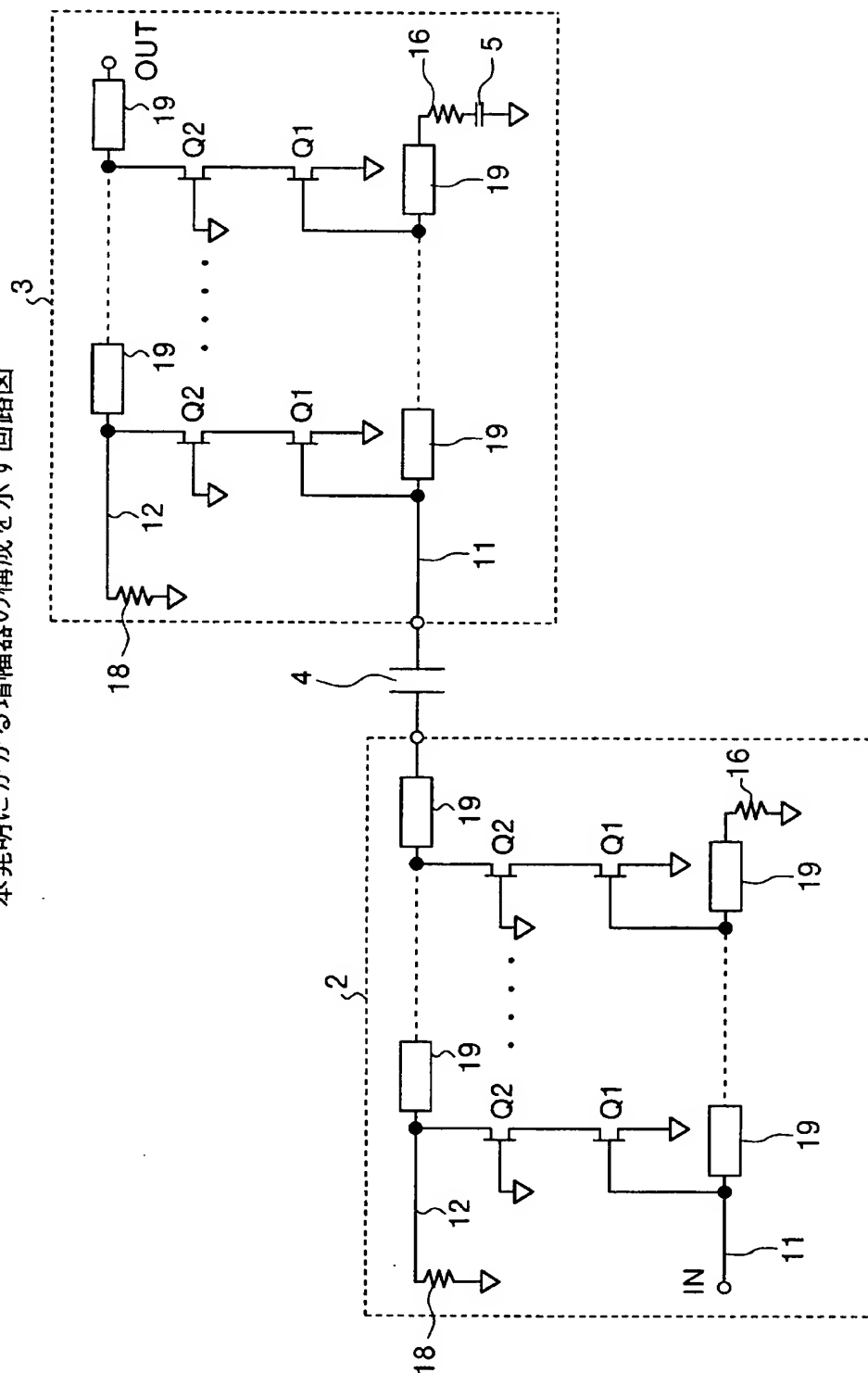
- 2 前段の増幅段
- 3 後段の増幅段
- 4 第 1 の容量 (DC カット容量)
- 5 第 2 の容量
- 6 抵抗
- 11 入力線路
- 12 出力線路
- 16, 18 終端回路 (終端抵抗)

【書類名】

図面

【図 1】

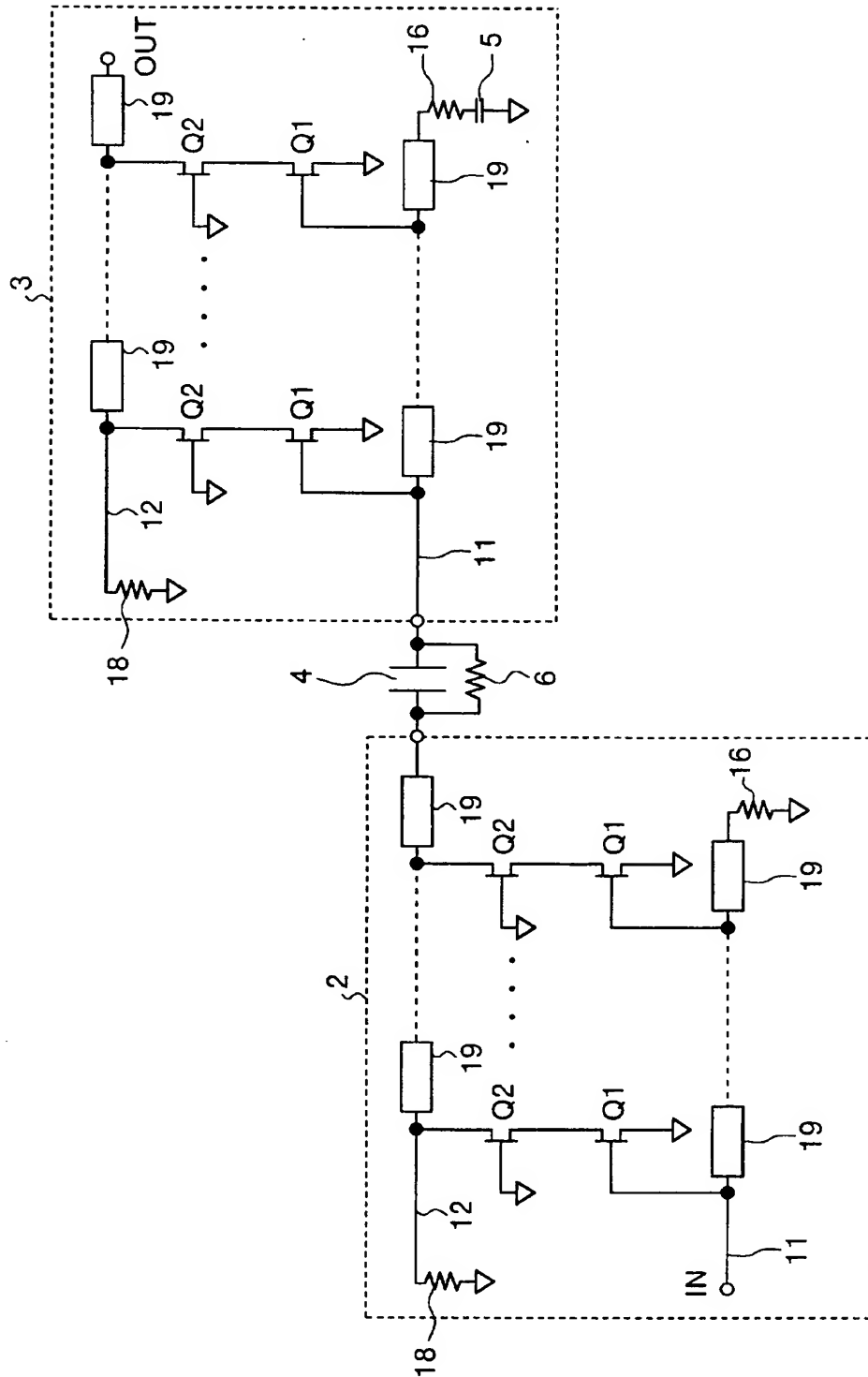
本発明にかかる増幅器の構成を示す回路図





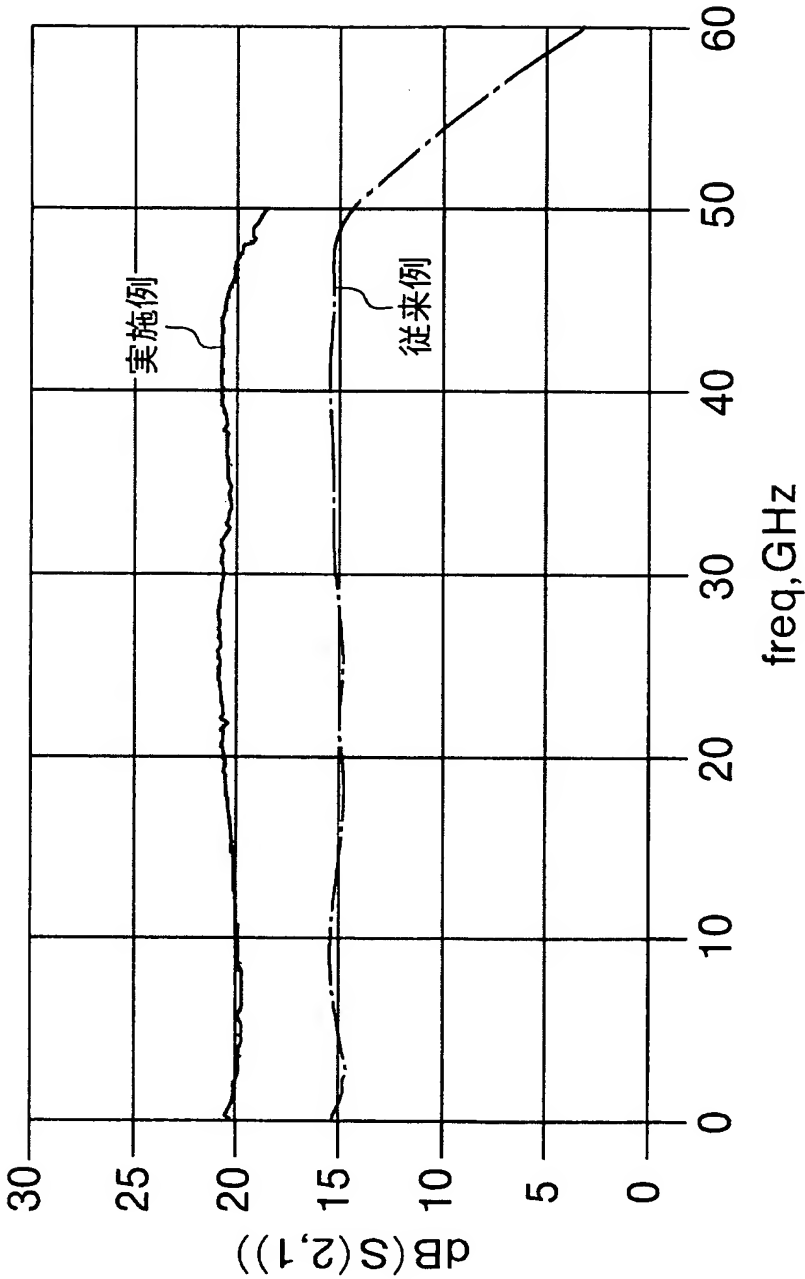
【図 2】

本発明の実施の形態 1 にかかる増幅器の構成を示す回路図



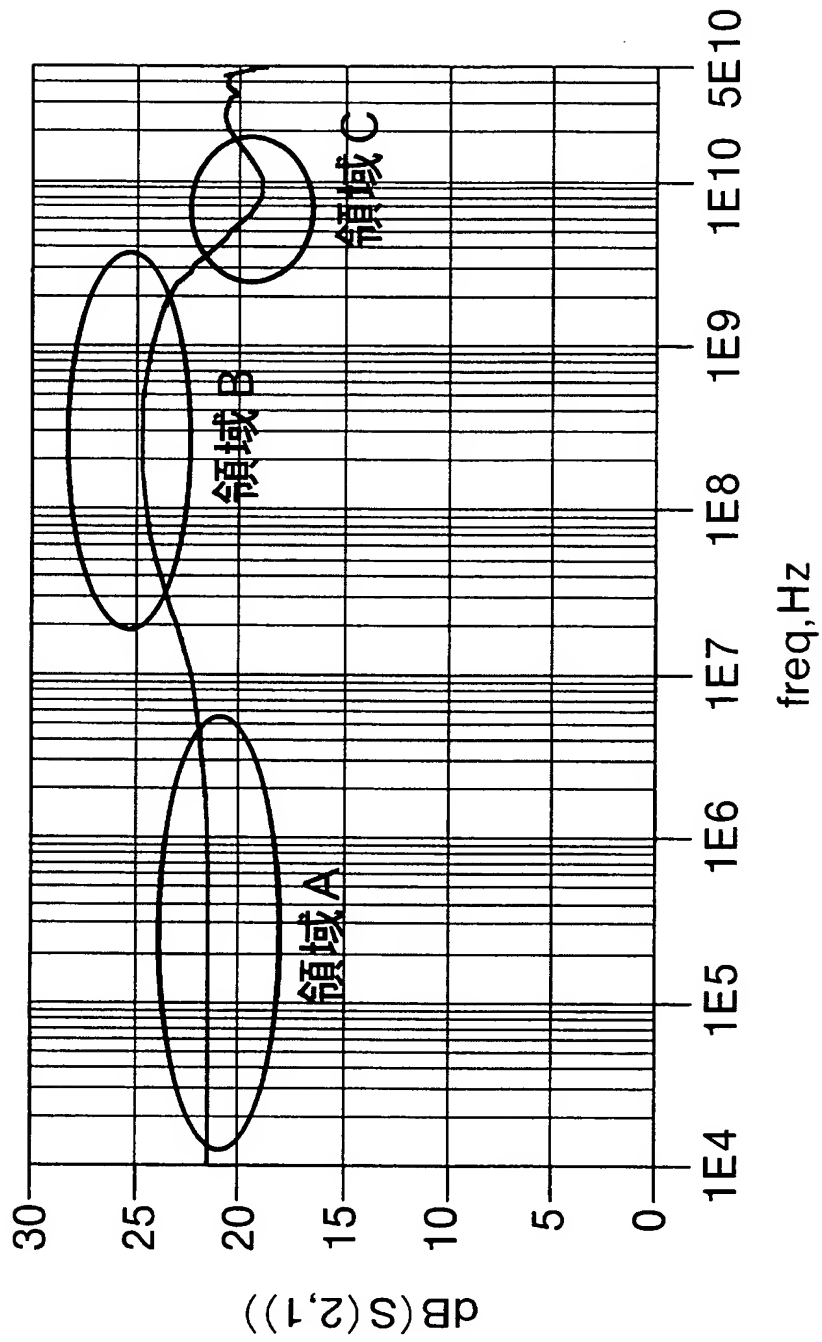
【図 3】

本発明の実施の形態 1 にかかる増幅器の最適化後の利得の周波数特性を示す図



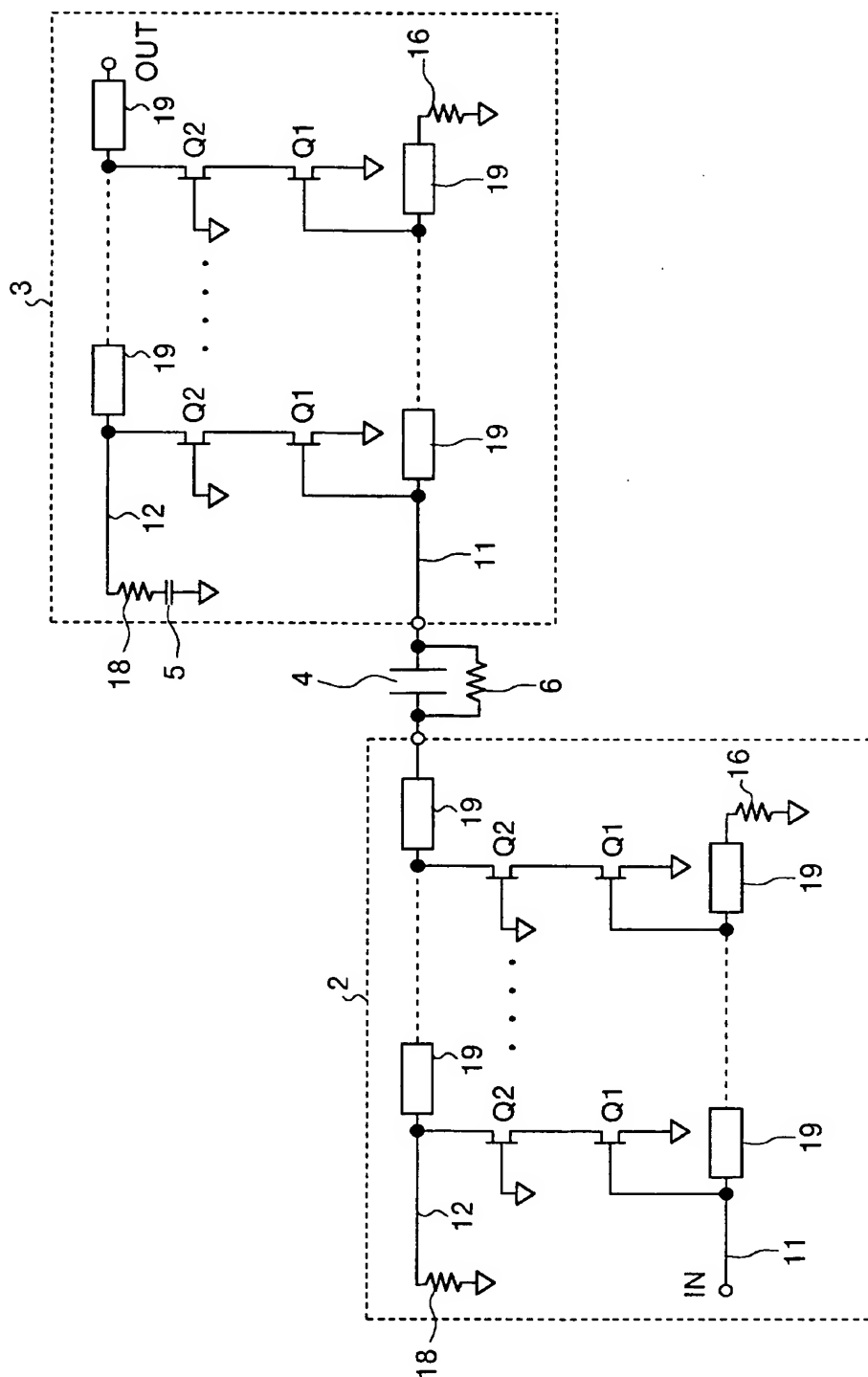
【図 4】

本発明の実施の形態 1 にかかる増幅器の最適化前の利得の周波数特性を示す図



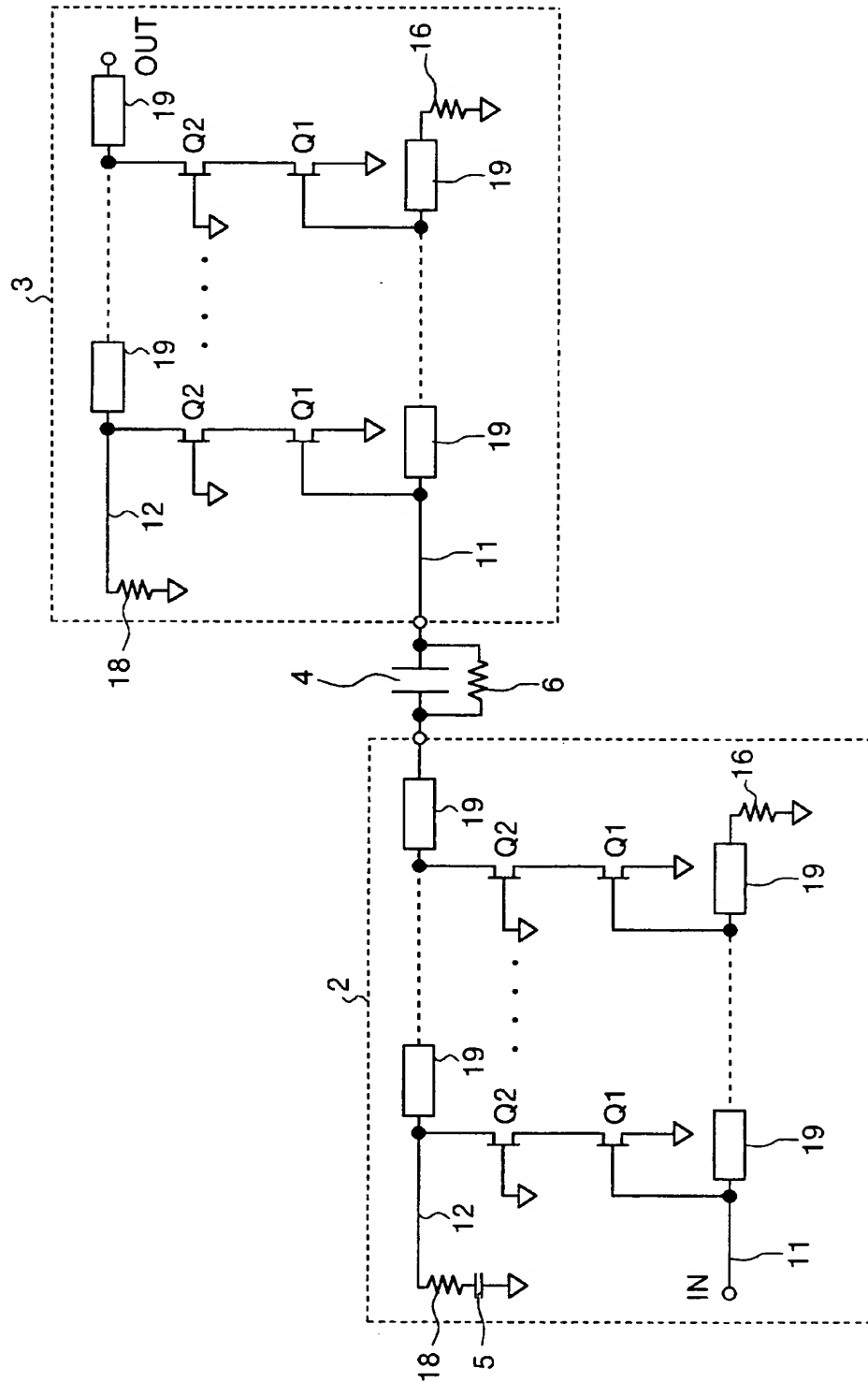
【図 5】

本発明の実施の形態 2 にかかる増幅器の構成を示す回路図



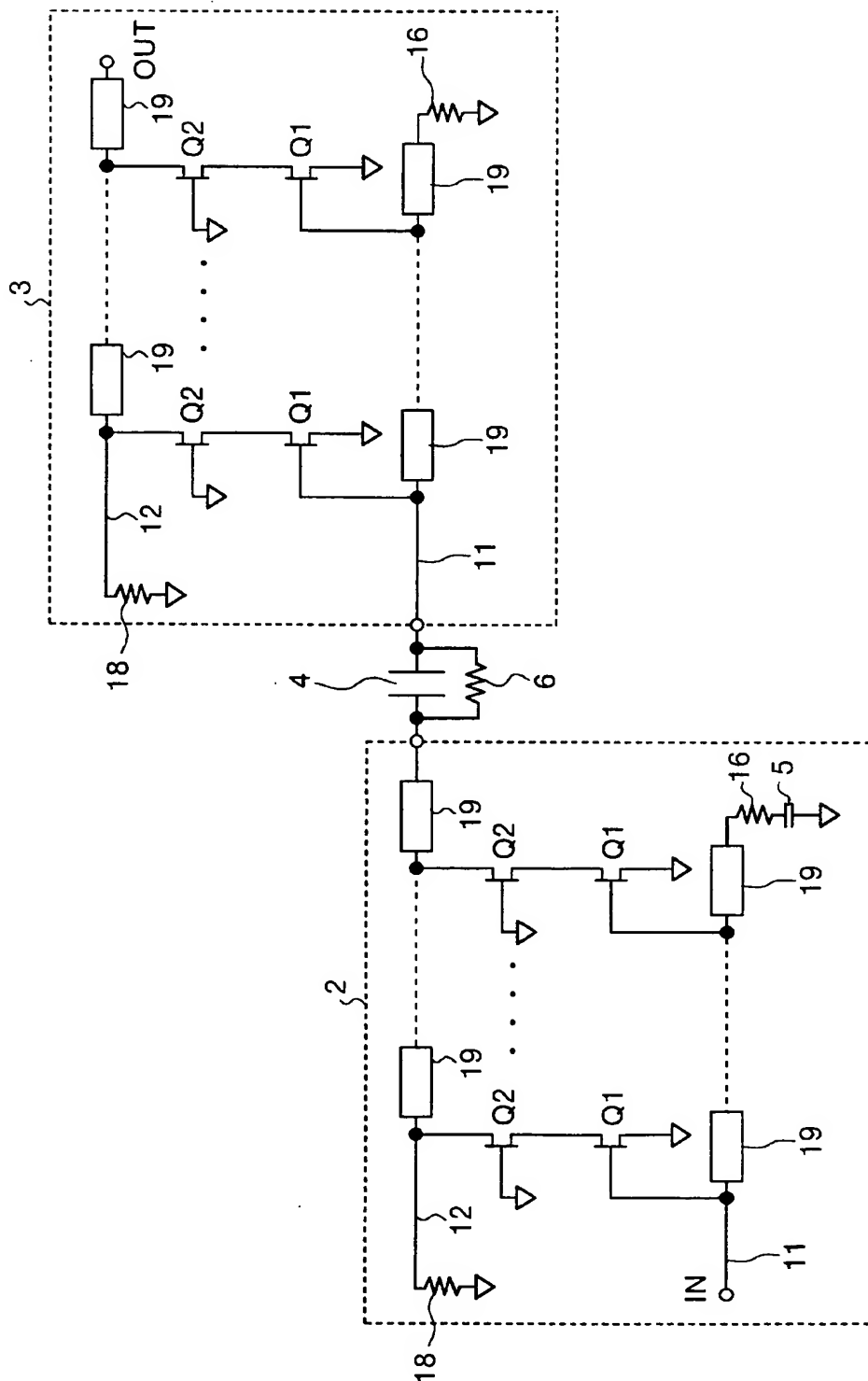
【図 6】

本発明の実施の形態 3 にかかる増幅器の構成を示す回路図



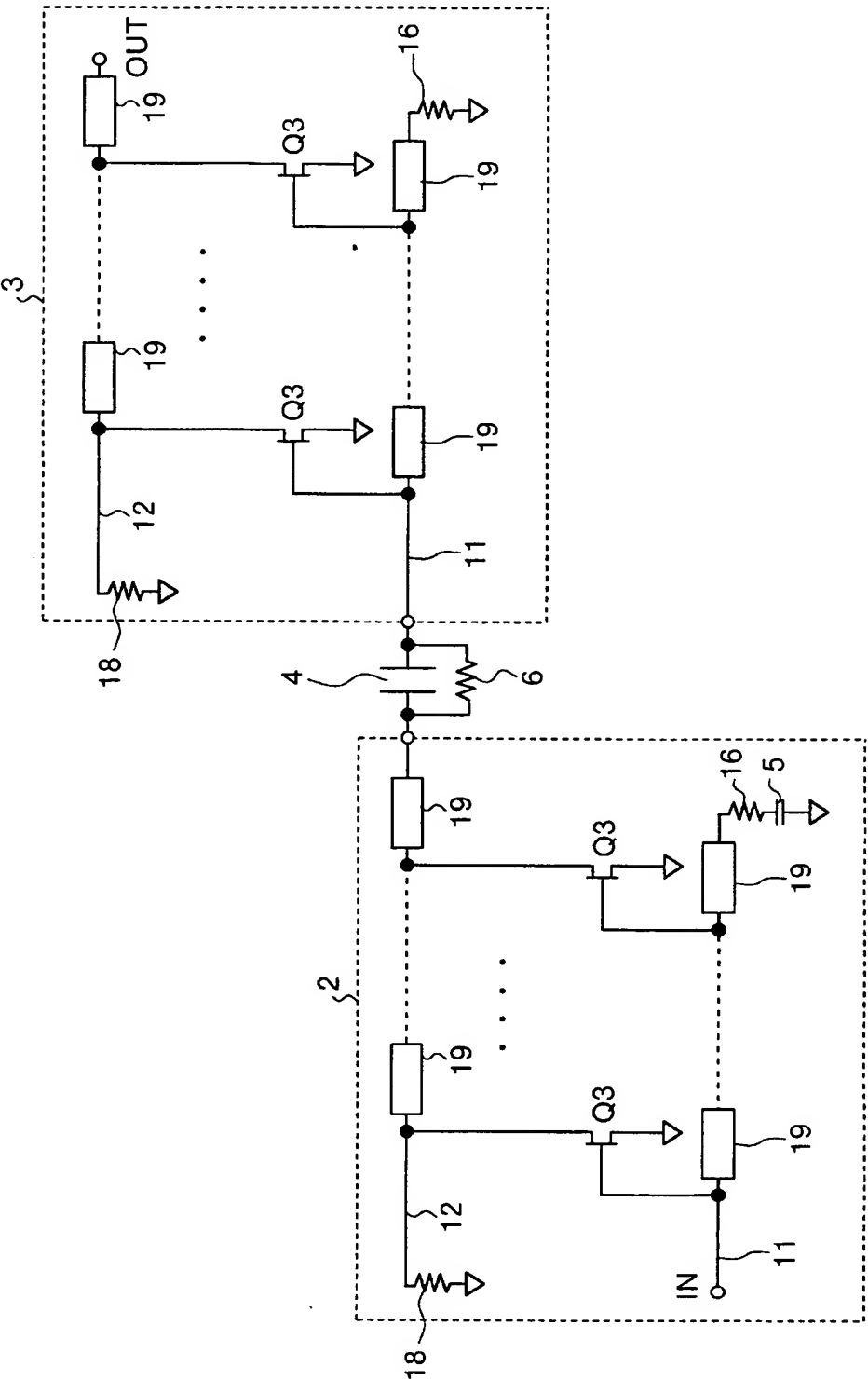
【図 7】

本発明の実施の形態 4 にかかる増幅器の構成を示す回路図



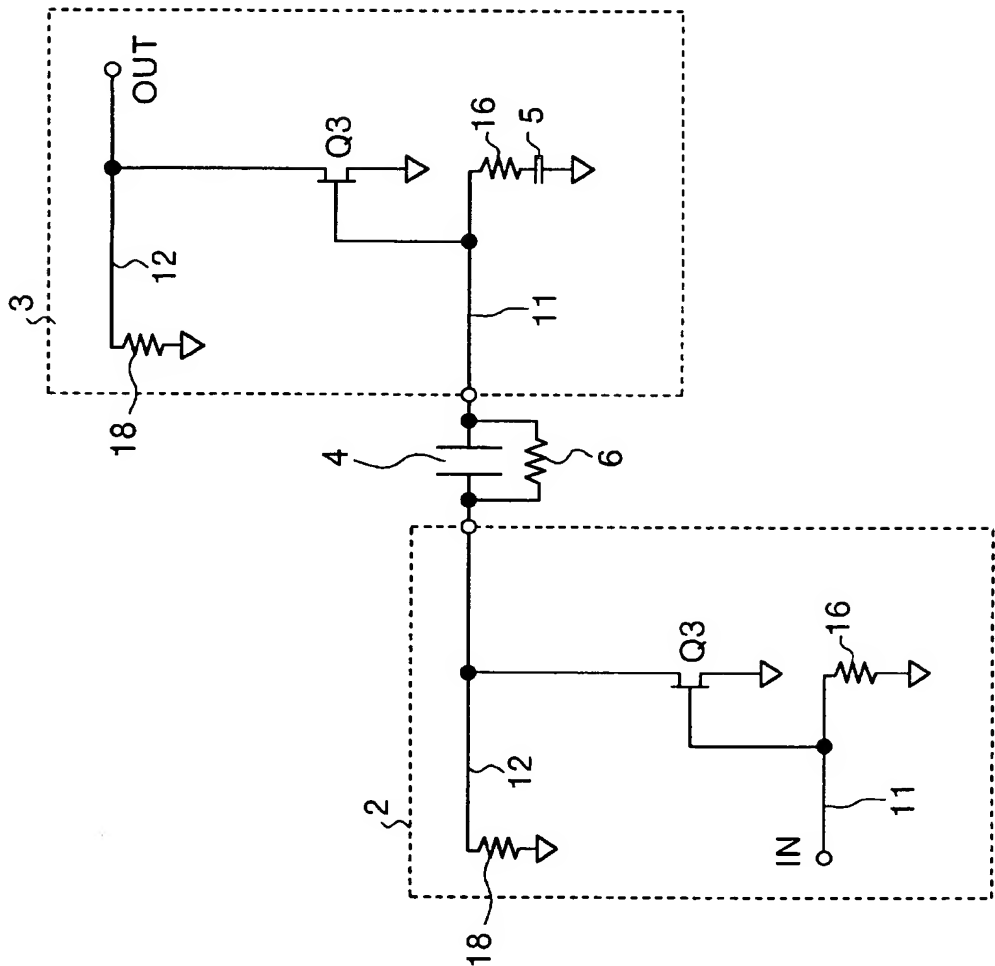
【図 8】

本発明の実施の形態 5 にかかる増幅器の構成を示す回路図



【図 9】

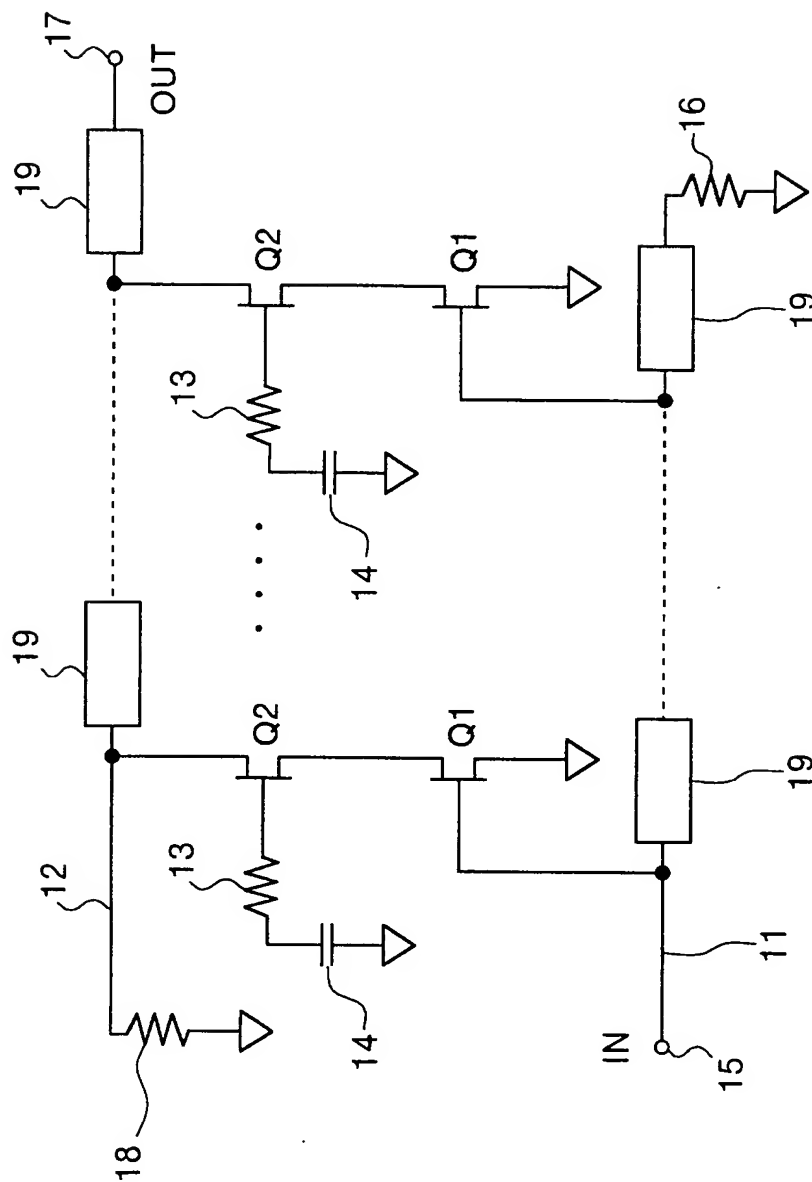
本発明の実施の形態 6 にかかる増幅器の構成を示す回路図





【図 10】

従来の分布増幅器の構成を示す回路図



【書類名】 要約書

【要約】

【課題】 複数の増幅段をDCカット容量を介して縦続接続することにより高利得化を図り、かつ高周波域での利得の低下を抑制することにより、広い帯域にわたって高利得で平坦な周波数特性を有する増幅器を得ること。

【解決手段】 前段の増幅段2と後段の増幅段3とを、DCカット容量となる第1の容量4を介して、縦続接続するとともに、後段の増幅段3の入力線路11の終端抵抗16に第2の容量5を直列に接続した構成を、同一半導体基板上に作製し、高周波域での利得の低下を抑制するとともに、容量結合による低周波域での利得低下を補償する。

【選択図】 図1

特願 2 0 0 2 - 3 0 9 5 0 4

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日  
[変更理由] 新規登録  
住 所 神奈川県川崎市中原区上小田中 1 0 1 5 番地  
氏 名 富士通株式会社
2. 変更年月日 1 9 9 6 年 3 月 2 6 日  
[変更理由] 住所変更  
住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号  
氏 名 富士通株式会社